

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-256251

(43)公開日 平成10年(1998)9月25日

(51)Int.Cl.
H 01 L 21/3205
21/28
21/768

識別記号
3 0 1

F I
H 01 L 21/88
21/28
21/90

R
3 0 1
B

審査請求 未請求 請求項の数2 OL (全5頁)

(21)出願番号 特願平9-59125
(22)出願日 平成9年(1997)3月13日

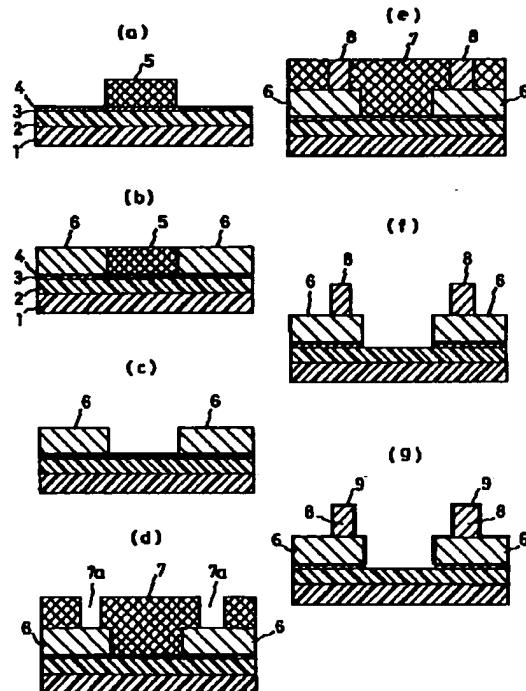
(71)出願人 000004226
日本電信電話株式会社
東京都新宿区西新宿三丁目19番2号
(72)発明者 栗屋 信義
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内
(72)発明者 山本 栄一
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 エレクトロマイグレーション耐性の向上と製造コストの低減を図る。

【解決手段】 半導体基板1上に絶縁層2を形成し、下地金属膜3、4を介して下層の銅配線パターン6を形成する。レジスト7を介して銅接続柱8を形成した後に、レジスト7および下地金属膜3、4を除去し、パターン6と接続柱8の表面にバリア被膜9を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に下地金属膜を形成する工程と、配線に対する反転レジストパターンを形成する工程と、電解または無電解めっきにより下層の銅配線パターンを形成する工程と、層間接続柱に対する反転レジストパターンを形成する工程と、電解または無電解めっきにより銅接続柱を形成する工程と、レジストを除去するとともに、下地金属膜を除去する工程と、電解または無電解めっきによりルテニウム、オスミウム、イリジウム、ロジウムのいずれかの金属膜を前記下層の銅配線パターンと銅接続柱の表面に選択的に形成する工程と、前記銅接続柱を介して前記下層の銅配線パターンに接続される上層の銅配線パターンを形成する工程と、この上層の配線パターンと前記下層の配線パターンとの間に絶縁層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、上層の配線パターンと下層の配線パターンとの間に絶縁層を形成する工程は、絶縁膜を形成する工程と、この絶縁膜を平坦化するとともに接続柱を平坦面から露出させる工程とからなり、上層の銅配線パターンを形成する工程は、下地金属膜を形成する工程と、平坦面から露出させた接続柱上の下地金属膜を選択的に除去する工程と、反転レジストパターンを形成した後、電解または無電解めっきにより銅配線パターンを形成する工程と、レジストを除去し、銅めっき用下地金属膜を除去する工程と、電解または無電解めっきによりルテニウム、オスミウム、イリジウム、ロジウムのいずれかの金属膜を銅上に選択的に形成する工程とからなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン半導体集積回路において、銅を配線の主材料とし、上、下層の銅配線パターンとこれら両銅配線パターンを接続する銅接続柱を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】シリコン半導体集積回路において、アルミニウムに代わる配線材料として、電気抵抗が低く、高いエレクトロマイグレーション耐性を有する銅が有望とされている。銅はシリコン酸化物中に拡散し、トランジスタ素子に悪影響を与えること、および絶縁膜との密着性が弱いことから銅膜と絶縁物との間に、タンタル、窒化チタンまたは窒化タンタルが、銅の拡散防止と密着性の向上のためのバリア被膜として使用してきた。銅配線の形成方法としては、アルミ配線と同様に銅膜をドライエッチングで加工する方法、または絶縁膜に形成された溝に銅を埋め込み、化学機械研磨を行うダマシン法および層間接続孔も同時に埋め込むデュアルダマシン法、または電解、無電解めっきによってパターンを形成する

アディティブ法がある。

【0003】

【発明が解決しようとする課題】上述した銅配線の形成方法のうち、銅配線をスパッタあるいはCVDによるドライエッティングで加工する方法は、銅のハロゲン化物の蒸気圧が低いために高温での加工が必要であり、装置設計およびプロセス設計が難しく、かつ製造装置自体が高価となる。また、ダマシン法およびデュアルダマシン法による銅配線の形成方法においては、溝に埋め込まれた銅配線の他に絶縁膜の表面も併せて化学機械研磨を行う必要があり、研磨する部分の面積が広くなるため、ディッシングと称する中央部のオーバーポリシングが発生する。

【0004】さらに、ダマシン法およびデュアルダマシン法においては、銅配線と低誘電率膜としての絶縁層を組み合わせる配線構成においても以下のような課題がある。低誘電率膜として使用されるエアロジェルは誘電率が2以下の低い値を有するが、エアロジェルがゲル状を呈しているので、ドライエッティングで微細な接続孔を加工するのは困難である。このため上記のような微細加工が困難な膜を使用する際には、層間接続用の金属柱をあらかじめ形成する方法が有効である。層間接続に接続柱を使用する方法は、アルミ配線においては、接続柱をエッティングで形成する方法がいくつか提案されている。しかし、銅の場合には、エッティングで微細加工することが困難であることから、銅の接続柱をエッティングで微細加工する方法は現実的にはほとんど不可能である。

【0005】さらに、銅配線においては自己整合的に耐酸化性の拡散を防止するバリア皮膜で覆う必要があり、このバリア被膜を上、下層および層間接続柱のそれぞれに個別の工程によって形成するために工程が増え、コスト的に不利であるとともに歩留まりが低下する。また、バリア被膜を上、下層および層間接続柱のそれぞれに個別の工程によって形成するために、下層配線と層間接続柱または上層配線と層間接続柱の間に、銅の拡散を防止するバリアが挿入される。このため、高密度の電流を流すと拡散バリアで銅のエレクトロマイグレーションが阻止され、電子の流れの下流側で断線が起きるおそれがある。

【0006】したがって、本発明は上記した従来の問題に鑑みなされたものであり、その目的とするところは、エレクトロマイグレーション耐性の向上と製造コストの低減を図った半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】この目的を達成するため、本発明に係る半導体製造装置の製造方法は、半導体基板上に下地金属膜を形成する工程と、配線に対する反転レジストパターンを形成する工程と、電解または無電解めっきにより下層の銅配線パターンを形成する工程

と、層間接続柱に対する反転レジストパターンを形成する工程と、電解または無電解めっきにより銅接続柱を形成する工程と、レジストを除去するとともに、下地金属膜を除去する工程と、電解または無電解めっきによりルテニウム、オスミウム、イリジウム、ロジウムのいずれかの金属膜を前記下層の銅配線パターンと銅接続柱の表面に選択的に形成する工程と、前記銅接続柱を介して前記下層の銅配線パターンに接続される上層の銅配線パターンを形成する工程と、この上層の配線パターンと前記下層の配線パターンとの間に絶縁層を形成する工程とを備えたものである。したがって、最後にバリア被膜を被覆するようにしたので、被覆の工程が1回で済む。また、バリア被膜をウェットエッチング法で形成可能な金属で行うようしたので、製造コストが低減される。また、接続柱と下層回路との間にバリア被膜が挿入されない。

【0008】また、第2の発明は、第1の発明において、上層の配線パターンと下層の配線パターンとの間に絶縁層を形成する工程は、絶縁膜を形成する工程と、この絶縁膜を平坦化するとともに接続柱を平坦面から露出させる工程とからなり、上層の銅配線パターンを形成する工程は、下地金属膜を形成する工程と、平坦面から露出させた接続柱上の下地金属膜を選択的に除去する工程と、反転レジストパターンを形成した後、電解または無電解めっきにより銅配線パターンを形成する工程と、レジストを除去し、銅めっき用下地金属膜を除去する工程と、電解または無電解めっきによりルテニウム、オスミウム、イリジウム、ロジウムのいずれかの金属膜を銅上に選択的に形成する工程とからなる。したがって、平坦面から露出させた接続柱を除去するので、除去する部分の面積が小さくオーバーポリシングが発生しない。また、銅表面はバリア被膜で被覆されるが、接続柱と上層回路との間にバリア被膜が挿入されない。

【0009】

【発明の実施の形態】以下、本発明の実施の形態を図に基づいて説明する。図1は本発明に係る半導体装置の製造方法の前半の工程を説明するための部分断面図、図2は同じく後半の工程を説明するための部分断面図である。図1(a)において、符号1で示すものはトランジスタ形成工程を終えた半導体基板であって、この半導体基板1の表面に從来から広く知られている方法によって絶縁膜2を介して下地金属3、4を堆積させた後、配線パターンを反転させたレジストパターン5をフォトリソグラフにより形成する。ここで、下地金属3には銅に対する拡散を防止するバリア性を有する窒化チタン等の材料を使用し、また、下地金属4には銅めっきが起きやすい銅またはパラジウムを使用する。また、後の工程で上層の配線等を形成するための熱工程が400°C以下であれば下地金属3、4はルテニウム、オスミウム、イリジウム、ロジウムのいずれかの金属1層としてもよい。

【0010】次に、同図(b)に示すように、レジストパターン5をマスクに従来から広く知られている電解または無電解めっきにより下層の銅配線パターン6を形成し、次に、同図(c)に示すように、レジスト5を除去する。次に、同図(d)に示すように、層間接続柱8に対応する反転レジストパターン7を形成する。次に、同図(e)に示すように、従来から広く知られている電解または無電解めっきにより銅接続柱パターン8を形成し、同図(f)に示すように、レジスト7を除去するとともに、下地金属膜3、4を除去する。次に、同図(g)に示すように、電解または無電解めっきによりバリアメタルとしてのルテニウム、オスミウム、イリジウム、ロジウムのいずれかの金属を銅配線パターン6および銅接続柱8の表面のみに選択的に析出させバリア被膜9を形成する。

【0011】このように、レジスト7を介して銅接続柱8を形成し、レジスト7を除去した後に、銅配線パターン6および銅接続柱8の表面にバリア被膜9を形成するようにしたので、バリア被膜9の形成を1回で行うようになることができる。このため、従来銅配線パターン6と銅接続柱8とにバリア被膜を形成するのに、工程を分けて行っていた場合と比較して工程が省略でき、歩留まりが向上する。また、バリアメタルとして、製造設備費が廉価なウェットエッチングが可能な金属を選択したことにより、製造コストが低減される。さらに、銅配線パターン6と銅接続柱8とを形成後にバリア被膜9を形成するので、銅配線パターン6と銅接続柱8との間にバリア被膜9が挿入されるようなことがない。

【0012】次に、図2(a)に示すように、絶縁膜10を形成し平坦化する。絶縁膜10の形成はCVD法、スピニ塗布、ゾルゲル法等従来から広く知られている方法のいずれでもよい。また平坦化もエッチバック法、化学機械研磨等公知の方法のいずれでもよい。次いで、同図(b)に示すように、絶縁膜10をエッチングし、銅接続柱8の頂部を露出させた後、下地金属11を形成する。そして、同図(c)に示すように、銅接続柱8の露出させた頂部の下地金属膜11を選択的に除去し、銅接続柱8の頂部の銅を露出させる。ここで、突起部の下地膜の選択的除去には例えば化学機械研磨を使用する。このように化学機械研磨を行う対象部分が銅接続柱8の頂部のみとなるので、研磨する部分の面積が小さくなる。このため、オーバーポリシングの発生を防止でき、表面が平坦状に形成されるので、次工程で形成する上層の銅配線パターン13との間の電気抵抗が低減される。

【0013】次に、同図(d)に示すように、配線パターンの反転レジストパターン12をフォトリソグラフにより形成する。そして、同図(e)に示すように、従来から広く知られている電解または無電解めっきにより上層の銅配線パターン13を形成した後、レジスト12を

50 除去するとともに、下地金属膜11を除去する。電解ま

たは無電解めっきによりルテニウム、オスミウム、イリジウム、ロジウムのいずれかの金属膜14を銅配線パターン13の銅上に選択的に形成する。このように、銅配線パターン13を形成し銅接続柱8と接続させた後に、銅配線パターン13上にバリア被膜14を形成するようにしたので、銅配線パターン13の表面にバリア被膜14が形成されるとともに、銅配線パターン13と銅接続柱8との間にバリア被膜14が挿入されるようがない。

【0014】

【実施例】無電解めっきとしては、塩化ルテニウムまたは硫酸ルテニウムの水和物と塩酸ヒドラジニウム($N_2H_4 \cdot HC1$)等還元剤を溶かした水溶液中で無電解めっきによりルテニウムを析出させる。また、絶縁膜10には、シリコン酸化膜、スピノングラス、ポリイミド等の有機膜、エアロジェルのいずれかを選択する。下地金属膜11には、ルテニウム、オスミウム、イリジウム、ロジウムのいずれかを選択する。

【0015】

【発明の効果】以上説明したように本発明によれば、銅接続柱を下層の銅配線パターン上に形成した後に、バリア被膜を形成するようにしたので、下層の銅配線パターンと層間接続柱との表面にバリア被膜を1回の工程によって形成することができる。このため、従来下層の銅配線パターンと層間接続柱とに、個別にバリア被膜を形成していた場合と比較して、工程が省略されるので歩留まりが向上する。また、下層の銅配線パターンと層間接続柱との間にバリア被膜が挿入されないので、エレクトロマイグレーション耐性の向上が図られる。さらに、バリア被膜として、製造設備費が廉価なウエットエッティングが可能な金属である、ルテニウム、オスミウム、イリジウム、ロジウムを選択したことにより、製造コストが低減される。

【0016】また、第2の発明によれば、第1の発明に

おいて、絶縁膜を形成する工程と、この絶縁膜を平坦化するとともに接続柱を平坦面から露出させる工程と、下地金属膜を形成する工程と、平坦面から露出させた接続柱上の下地金属膜を選択的に除去する工程とを備えたことにより、化学機械研磨を行う対象部分が層間接続柱の頂部のみとなるので、研磨する部分の面積が小さくなる。このため、オーバーポリシングの発生を防止でき、上層の銅配線パターンとの間の電気抵抗が低減される。また、平坦面から露出させた接続柱上の下地金属膜を選択的に除去する工程の後、反転レジストパターンを介して上層の銅配線パターンを形成する工程と、この銅配線パターンの表面上にバリア被膜を形成する工程とを備えたことにより、上層の銅配線パターンと層間接続柱との表面にバリア被膜を1回の工程によって形成することができる。このため、従来上層の銅配線パターンと層間接続柱とに、個別にバリア被膜を形成していた場合と比較して、工程が省略されるので歩留まりが向上する。また、上層の銅配線パターンと層間接続柱との間にバリア被膜が挿入されないので、エレクトロマイグレーション耐性の向上が図られる。さらに、バリア被膜として、製造設備費が廉価なウエットエッティングが可能な金属である、ルテニウム、オスミウム、イリジウム、ロジウムを選択したことにより、製造コストが低減される。

【図面の簡単な説明】

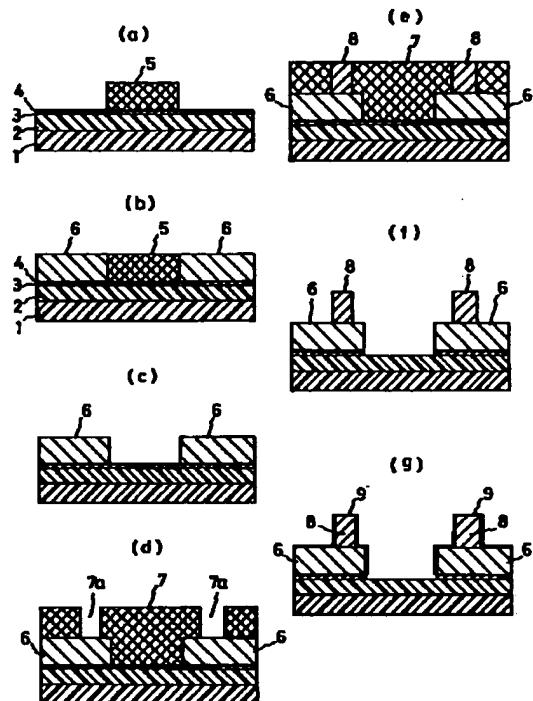
【図1】 本発明に係る半導体装置の製造方法の前半の工程を説明するための部分断面図である。

【図2】 本発明に係る半導体装置の製造方法の後半の工程を説明するための部分断面図である。

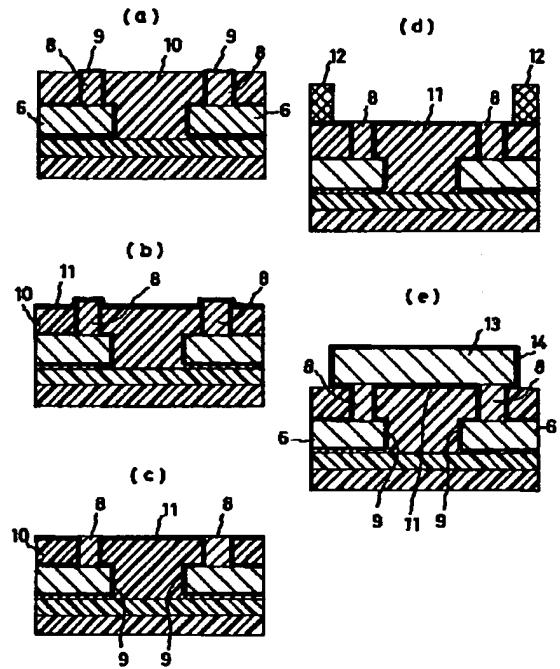
【符号の説明】

1…半導体基板、2…層間絶縁膜、3、4…下地金属膜、5、7、12…レジスト、6…下層の銅配線パターン、8…銅接続柱、9、14…バリア被膜、10…絶縁膜、11…下地金属膜、13…上層の銅配線パターン。

【図1】



【図2】



PAT-NO: JP410256251A
DOCUMENT- IDENTIFIER: JP 10256251 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: September 25, 1998

INVENTOR- INFORMATION:

NAME
AWAYA, NOBUYOSHI
YAMAMOTO, EIICHI

ASSIGNEE- INFORMATION:

NAME NIPPON TELEGR & TELEPH CORP <NTT>	COUNTRY N/A
---	----------------

APPL-NO: JP09059125

APPL-DATE: March 13, 1997

INT-CL (IPC): H01L021/3205, H01L021/28 , H01L021/768

ABSTRACT:

PROBLEM TO BE SOLVED: To improve resistance to electromigration and reduce the manufacture cost by forming an upper copper wiring pattern to be connected with a lower copper wiring pattern through a copper connection pillar, and forming an insulating layer between these upper wiring pattern and lower wiring pattern.

SOLUTION: A copper connection pillar 8 is made via a resist 7, and after the removal of the resist 7, a barrier film 9 is made on the surface of a copper wiring pattern 6 and the copper connection pillar 8. Accordingly, the

formation of the barrier film 9 can be performed in one time. Then, a copper wiring pattern 13 is made and is connected the copper connection pillar 8, and then a barrier film 14 is made on the copper wiring pattern 13. Accordingly, the barrier film 14 is made on the surface of the copper wiring pattern 13, and also there does not occur a case such that the barrier film 14 is inserted between the copper wiring pattern 13 and the copper connection pillar 18. Hereby, the improvement of the electromigration resistance can be materialized.

COPYRIGHT: (C)1998, JPO

DERWENT-ACC-NO: 1998-574463

DERWENT-WEEK: 199849

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Silicon semiconductor device IC
manufacturing method - involves forming insulating film
between upper layer of copper wiring pattern and copper
wiring sub-layer pattern that are interconnected through
copper connection pillar

PATENT-ASSIGNEE: NIPPON TELEGRAPH & TELEPHONE CORP[NITE]

PRIORITY-DATA: 1997JP-0059125 (March 13, 1997)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC	
LANGUAGE				
JP 10256251 A	005	September 25, 1998		N/A
		H01L 021/3205		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 10256251A	N/A	
1997JP-0059125	March 13, 1997	

INT-CL (IPC): H01L021/28, H01L021/3205, H01L021/768

ABSTRACTED-PUB-NO: JP 10256251A

BASIC-ABSTRACT:

The method involves forming an insulating layer (2), a pair of foundation metallic films (3,4) over a semiconductor substrate (1). A copper wiring sub-layer pattern (6) is formed on the foundation metallic film (4) through

clearance of an inversion resist pattern (5), by electrolysis. A copper connection pillar (8) is formed on the copper wiring sub-layer pattern, using another inversion resist pattern (7) as mask by electrolysis.

Then, the resist pattern (7) and exposed surface of the foundation metallic films are removed. Metallic film of ruthenium, osmium, iridium or rhodium is formed on the surface of the copper connection pillar and the copper wiring sub-layer pattern. Upper layer (13) of copper wiring pattern and copper wiring sub-layer pattern are connected via the connection pillar. Another insulating film (10) is finally formed between upper layer of copper wiring pattern and the copper wiring sub-layer pattern.

ADVANTAGE - Improves electromigration resistance and yield.

CHOSEN-DRAWING: Dwg.1/2

TITLE-TERMS: SILICON SEMICONDUCTOR DEVICE IC MANUFACTURE
METHOD FORMING

INSULATE FILM UPPER LAYER COPPER WIRE PATTERN
COPPER WIRE SUB LAYER
PATTERN INTERCONNECT THROUGH COPPER CONNECT
PILLAR

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C06B; L04-C10D; L04-C12A;

EPI-CODES: U11-C05D; U11-C05F;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1998-172334

Non-CPI Secondary Accession Numbers: N1998-447635